

⑪ 公開特許公報 (A) 昭64-49176

⑤Int.Cl. ¹	識別記号	厅内整理番号	④公開 昭和64年(1989)2月23日
G 11 B 20/14	351	A-8322-5D	
H 03 L 7/08		M-8731-5J	
		B-8731-5J	
H 04 L 7/02		B-6914-5K	審査請求 未請求 発明の数 1 (全 9 頁)

⑥発明の名称 P L L回路

⑦特 願 昭62-205015
 ⑧出 願 昭62(1987)8月20日

⑨発明者 猪鼻 治行 埼玉県川越市大字山田字西町25番地1 バイオニア株式会社川越工場内
 ⑩発明者 坂元 俊一郎 埼玉県川越市大字山田字西町25番地1 バイオニア株式会社川越工場内
 ⑪発明者 高田 英明 神奈川県横浜市戸塚区吉田町292 株式会社日立製作所家電研究所内
 ⑫出願人 バイオニア株式会社 東京都目黒区目黒1丁目4番1号
 ⑬出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑭代理人 弁理士 滝野 秀雄 外1名

明細書

1. 発明の名称

P L L回路

2. 特許請求の範囲

N R Z I データ列の復調クロックを発生する電圧制御発振器と、

該電圧制御発振器からの復調クロックを可変入力とし、かつN R Z I データ列を基準入力として両者の位相を比較し位相のずれに応じた信号を出力する位相比較器と、

前記電圧制御発振器からの復調クロックと前記N R Z I データ列の周波数を比較し周波数のずれに応じた信号を出力する周波数比較器と、

前記位相比較器の出力と前記周波数比較器の出力を加算し、該加算結果により前記電圧制御発振器を制御する加算器とを備え、

前記周波数比較器は前記N R Z I データ列から最小タイムインターバルのデータを検出するインターバル検出手段と、該検出したデータ長内に現われる前記電圧制御発振器からの復調クロックの

数を計数する計数手段とを備え、該計数結果により前記N R Z I データ列と復調クロックとの周波数のずれに応じた信号を出力する、

ことを特徴とするP L L回路。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、N R Z I データ列からクロック成分を抽出してN R Z I データ列を復調すための復調クロックを発生するP L L回路に関するものである。

(発明の技術的背景及びその問題点)

この種のP L L回路は例えば回転ヘッド式デジタルオーディオテープレコーダ (R - D A T) にその使用を見ることができる。

R - D A Tでは、例えば16ビットのデータを上位8ビットと下位8ビットに分け、各8ビットに対し10ビットの符号を対応させた8/10変調 (8/10 M) をしたN R Z I データ列として記録が行われている。そして、その再生N R Z I

データ列すなわち $8/10M$ 信号を復調するには、NRZIデータ列からクロック成分を抽出し、該抽出クロック成分に基づいて発生した復調クロックによりデータを読み取る必要がある。

データを最少の誤り率で読み取るには、NRZIデータ列の最大繰り返し周波数の2倍の周波数で、かつNRZIデータ列と所定の位相関係の復調クロックが必要である。このために、PLL回路の位相比較器の基準入力として $8/10M$ 信号を、可変入力として復調クロックであるVCOの出力信号をそれぞれ入力し、位相比較器の出力によりVCOを制御して $8/10M$ 信号に位相の一致した復調クロックをVCOに発生させることが行われている。

ところが、位相比較器は、 $8/10M$ 信号の周波数がVCOの自走周波数と違い過ぎ、両周波数の差が一般にキャプチャレンジと呼ばれる所定範囲内にないと、その出力に信号が現われずVCOの制御ができないため、いつまでもPLL回路は位相ロック状態とならない。

ために成されたもので、十分に大きなキャプチャレンジを実現することのできるPLL回路を提供することを目的としている。

(概要)

上記目的を達成するため本発明により成されたPLL回路は、位相比較器の出力だけでなく周波数比較器の出力によっても電圧制御発振器を制御できることにより、キャプチャレンジの拡大を図っている。

(実施例)

以下、本発明によるPLL回路の一実施例を図面に基づいて説明する。

第1図は実施例の概略構成を示すブロック図であり、図において、1は例えばR-DATの再生信号である $8/10M$ 信号が入力される信号入力端子、2は $8/10M$ 信号を復調するためPLL回路により発生される復調クロックを出力するクロック出力端子である。3は基準入力に $8/10M$

ところで、R-DATにおいて再生オンすると、キャブスタンの回転によりテープ走行が開始されると共に回転ヘッドを有するドラムが回転され、回転ヘッドがテープ上を走行されるようになる。このことによってテープ上の記録が回転ヘッドにより再生され、 $8/10M$ 信号が得られるが、回転ヘッドとテープの相対速度が所定値にならないと、正規の周波数の $8/10M$ 信号が得られない。そこで、再生オンから早期に回転ヘッドとテープの相対速度が所定値になるように、ドラムサーボ及びキャブスタンサーボに種々の工夫が施されているが、これには限界があり、またサーボ系が高価になるなどの欠点がある。

このような欠点はPLL回路のキャプチャレンジを拡大することによって解消することができるが、従来これを満足させるに十分なキャプチャレンジをもったPLL回路がなかった。

(発明の目的)

本発明は上述した従来のものの欠点を除去する

M 信号が、可変入力に復調クロックがそれぞれ入力される位相比較器(PD)であり、該PD3では $8/10M$ 信号と復調クロックとの周波数差が第1のキャプチャレンジ内にあるとき両者の位相を比較し、位相のずれ量及び方向にそれぞれ応じた大きさ及び極性のエラー信号を出力する。4は一方の入力に $8/10M$ 信号が、他方の入力に復調クロックがそれぞれ入力される周波数比較器(FC)であり、該FC4では $8/10M$ 信号と復調クロックとの周波数差が第1のキャプチャレンジより広い第2のキャプチャレンジ内にあるとき両者の周波数を比較し、周波数のずれ量及び方向にそれぞれ応じた大きさ及び極性のエラー信号を出力する。

PD3及びFC4からのエラー信号は、それぞれ第1のローパスフィルタ(LPF)5及び第2のLPF6により高い周波数成分が除去された後、加算器7の2つの入力の各々に入力される。加算器7は両エラー信号を加算し、それを電圧制御発振器(VCO)8の制御入力に印加する。VCO

8はその制御入力に印加される制御信号により発振周波数が制御され、その出力に復調クロックを発生する。

本例では、上記第1のキャプチャレンジは略±5%、第2のキャプチャレンジは略±10%となるようにされていて、PLL回路全体としては±10%のキャプチャレンジをもつようになってる。

ところで、8/10M信号は、その変調原理により、最少タイムインターバルをTしたとき1T、2T、3T、4TのH/Lのパルスを組合せた第2図(b)に示すようなNRZIデータ列からなる。なお、Tは回転ヘッドとテープの相対速度により変化し、正常再生時の所定の相対速度では

$$T = \frac{1}{9.4 \text{ MHz}} \text{ となっていて、そのときの復調クロックの周期} \left(\frac{1}{9.4 \text{ MHz}} \right) \text{ に等しくなる。}$$

以上のことから、8/10M信号と復調クロックとの周波数比較には一定周期の連続した信号の

周波数比較を行う周波数比較器は使用することができない。

第3図は上記FC4の原理を示すタイミングチャート図である。原理説明では、簡単のため、8/10M信号は第3図(a)に示すように1TのH/Lの8/10Mが連続したものからなるとする。今、第3図(b)に示すように復調クロックの周波数が8/10M信号の周波数よりも高い場合には、復調クロックの立上りエッジが縦方向の矢印で示すように8/10M信号のH/LのT期間内に2回現われることがある。一方、第3図(c)に示すように復調クロックの周波数が8/10M信号の周波数よりも低い場合には、復調クロックの立上りエッジが横方向の矢印で示すように8/10M信号のH/LのパルスのT期間内に全く現われないことがある。

従って、1Tパルスの期間内に復調クロックの立上りエッジが2回現われることを検出することにより、復調クロックの周波数が高いことを知ることができ、その検出の頻度は周波数差に比例す

る。また、1Tパルスの期間内に復調クロックの立上りエッジが全く現われないことを検出することにより、復調クロックの周波数が低いことを知ることができ、その検出の頻度は周波数差に比例する。

よって、上記検出頻度とその内容にそれぞれ応じた大きさと極性のエラー信号を発生し、これをLPF5、加算器8を介してVCO8に印加することによって、復調クロックと8/10M信号の周波数が一致するようにVCO8の発振周波数を制御することができる。

上述のような制御の過程で8/10M信号と復調クロックとの周波数差が第1のキャプチャレンジ内に入ると、PD3の出力にもエラー信号が現われ、これとFC4からのエラー信号とを加算したものでVCO8の制御が行われ、最終的には8/10M信号と復調クロックとの周波数と位相が一致した状態にロックされるようになる。

次に、8/10M信号中から1Tパルスを検出する原理を第4図を参照して説明する。1Tパル

スを検出するには、2Tパルスと区別できればよく、この判別能力が第2のキャプチャレンジを決定する。今、キャプチャレンジ±10%とすると、1Tパルスの最大タイムインターバルは1.1Tになり、2Tパルスの最少タイムインターバルは1.8Tになる。従って、両パルスのタイムインターバルの差0.7Tの精度、つまり±0.35Tの精度でインターバルを測定できれば、1Tパルスを2Tパルスと区別して検出することができる。よって、パルス信号から1Tパルスを検出するためには、水晶発振器により発生した周期が0.35Tとなる一定周波数の検出クロックを使用すればよい。

勿論、2Tパルスを検出して同様のこと行ってもよいが、この場合には、2Tパルスと3Tパルスとの判別により周波数の高い検出クロックが必要になるので、ICの高周波特性上好ましくないことが生じるので実際的でない。

第5図は上述した原理に基づいて動作するFC4の具体例を示し、図において、4-1は周期0.35Tの周波数の検出クロックが入力される検出

クロック入力端子、4-2は8/10M信号が入力される8/10M信号入力端子、4-3は復調クロック、すなわちVCO8(第1図)の出力が入力される復調クロック入力端子である。

上記検出クロックはANDゲート4-4及び4-5をそれぞれ介して3ビットカウンタ4-6及び4-7のクロック入力CKに、インバータ4-8を介してDラッチ回路4-9及び4-10のクロック入力CKに、そしてシフトレジスタ4-11のクロック入力CKにそれぞれ入力される。8/10M信号はインバータ4-12を介してカウンタ4-6のリセット入力R及びDラッチ回路4-13のクロック入力CKに、カウンタ4-7のリセット入力R、シフトレジスタ4-11のシリアルデータ入力SI、Dラッチ回路4-14のクロック入力CK、ANDゲート4-15の一方の入力及びNORゲート4-16の一方の入力にそれぞれ入力される。復調クロックはANDゲート4-17及び4-18をそれぞれ介してカウンタ4-19及び4-20のクロック入力CKに入力

される。

カウンタ4-6及び4-7のQ3出力はDラッチ回路4-9及び4-10のD入力にそれぞれ入力され、Dラッチ回路4-9及び4-10のQ出力はインバータ4-21及び4-22をそれぞれ介してANDゲート4-4及び4-5の入力にゲート信号としてそれぞれ入力される。またインバータ4-21の出力はANDゲート4-23及び4-24の一方の入力に、インバータ4-22の出力はANDゲート4-25及び4-26の一方の入力にそれぞれ入力される。

シフトレジスタ4-11のQ2出力はANDゲート4-15及びORゲート4-16の他方の入力にそれぞれ入力される。ANDゲート4-15の出力はDラッチ回路4-13及びカウンタ4-20のリセット入力Rに、NORゲート4-16の出力はDラッチ回路4-14及びカウンタ4-19のリセット入力Rにそれぞれ入力される。カウンタ4-19及び4-20のQ1出力はNORゲート4-27及び4-28の一方の入力にそれ

ぞれ入力され、カウンタ4-19のQ2出力はANDゲート4-23及びNORゲート4-27の他方の入力にそれぞれ入力されると共にインバータ4-23を介してANDゲート4-17の他方の入力に入力される。

カウンタ4-20のQ2出力は、ANDゲート4-25及びNORゲート4-28の他方の入力にそれぞれ入力されると共にインバータ4-30を介してANDゲート4-18の他方の入力に入力される。

NORゲート4-27及び4-28の出力はANDゲート4-24及び4-26の他方の入力に入力され、ANDゲート4-23及び4-24の出力はDラッチ回路4-14のD1及びD2入力にそれぞれ入力され、ANDゲート4-25及び4-26の出力はDラッチ回路4-13のD1及びD2入力にそれぞれ入力される。

Dラッチ回路4-14のQ1及びQ2出力はORゲート4-31及び4-32の一方の入力に、Dラッチ回路4-13のQ1及びQ2出力はOR

ゲート4-31及び4-32の他方の入力にそれぞれ入力される。ORゲート4-31及び4-32の出力はモノマルチバイブレータ(MMV)4-33及び4-34の入力に入力され、MMV4-33及び4-34の出力は加算器4-35の-入力及び+入力にそれぞれ入力され、加算器4-35の出力が第2のLPPF6(第1図)の入力に入力される。

上記カウンタ4-6, 4-7, 4-19及び4-20はそのクロック入力CKがHからLレベルに立下ることに応じて“1”をカウントし、リセット入力RがLからHレベルに立上ることに応じてリセットされ、Hレベルになっている期間カウントを行わない。シフトレジスタ4-11はそのクロック入力がHからLレベルに立下ることに応じてシリアルデータ入力SIの8/10M信号の状態を取り込みシフトする。Dラッチ回路4-9及び4-10はそのクロック入力CKがHからLレベルに立下ることに応じてD入力の状態を取り込みラッチしてQ出力に送出する。Dラッチ回路

4-13 及び 4-14 はそのクロック入力 CK が H から L レベルに立下ることに応じて D1 及び D2 の状態をそれぞれ取り込みラッチして Q1 及び Q2 出力にそれぞれ送出する。

以上の構成において、第5図中各部の波形を示す第6図乃至第8図のタイミングチャート図を参照して動作を説明する。

今、8/10M信号入力端子 4-2 に第6図に示すような 8/10M 信号が入力され、かつ復調クロック入力端子 4-3 に本来再生されるべき復調クロックと等しい周波数の復調クロックが入力されているとする。リセット入力 R にインバータ 4-12 を介して 8/10M 信号が入力されているカウンタ 4-6 は、8/10M 信号が L レベルの期間は検出クロックのカウントを行わず、H レベルの期間だけカウントを行う。一方、リセット入力 R に直接 8/10M 信号が入力されているカウンタ 4-7 は 8/10M 信号が H レベルの期間は検出クロックのカウントを行わず、L レベルの期間だけカウントを行う。

また、両 D ラッチ回路 4-9 及び 4-10 が共に L レベルをラッチした状態にあるとすると、その Q 出力が共に L レベルにあり、これがインバータ 4-21 及び 4-22 をそれぞれ介して入力されている AND ゲート 4-4, 4-23, 4-24 及び AND ゲート 4-5, 4-25, 4-26 は閉状態にある。従って、AND ゲート 4-4 及び 4-5 の出力には第6図 a 及び d に示すようにこれらを通過した検出クロックが現われ、カウンタ 4-6 及び 4-7 のクロック入力 CK にそれぞれ入力されている。

8/10M 信号が L レベルにある時点 $t_1 \sim t_2$ の間では、カウンタ 4-7 が AND ゲート 4-5 の出力に現われる検出クロックをカウントするが、そのカウント値は 4 となる前の時点 t_1 においてリセットされたため、カウンタ Q3 の出力は第6図 e に示すように L レベルになっている。時点 $t_2 \sim t_3$ の間ではカウンタ 4-6 はカウントを行わず、8/10M 信号のレベルが H レベルになっている時点 $t_3 \sim t_4$ の間で検出クロックの

カウントを行う。しかし、この $t_1 \sim t_2$ の期間は T に等しく、この T 時間に内には 4 個の検出クロックをカウントすることができないため、カウンタ 4-6 の Q3 出力も L レベルのままである。カウンタ 4-6 及び 4-7 は 8/10M 信号の立下り及び立上りエッジによってそれぞれリセットされ次のカウントに備えられる。

次の時点 $t_4 \sim t_5$ の間では、カウンタ 4-7 が検出パルスのカウントを行う。この $t_4 \sim t_5$ の期間は 2T に等しく、従ってこの 2T 時間に内にカウンタ 4-7 は 4 個の検出クロックをカウントし、その時点でその Q3 出力は第6図 e に示すように L から H レベルに立上り、D ラッチ回路 4-10 の D 入力は L から H レベルになる。この H レベルの D 入力は D ラッチ回路 4-10 のクロック入力 CK に入力されている検出パルスの立下りにより、D ラッチ回路 4-10 にラッチされ、それまで L レベルであったその Q 出力が H レベルになり、これを反転するインバータ 4-22 の出力は第6図 f に示すように L レベルになる。インバ

タ 4-22 の出力が L レベルになることにより、AND ゲート 4-5 が閉じられ、その出力には第6図 d に示すように検出クロックは現われなくなり、カウンタ 4-7 のそれ以上のカウントは行われない。カウンタ 4-7 は 8/10M 信号が時点 t_5 において L から H レベルに立上ることによりリセットされ、その Q 出力が L レベルになるため、この L レベルが次の検出クロックによって D ラッチ回路 4-10 にラッチされ、これによりインバータ 4-22 の出力が H レベルになり、AND ゲート 4-5 が再び開され、AND ゲート 4-5 の出力に第6図 d に示すように再び検出クロックが現われるようになる。

次の時点 $t_5 \sim t_6$ の間では、カウンタ 4-6 が検出クロックのカウントを行う。この $t_5 \sim t_6$ の期間は 3T に等しく、従ってこの 3T 時間に内にカウンタ 4-6 は 4 個の検出クロックをカウントし、その時点でその Q3 出力は第6図 h に示すように L レベルから H レベルに立上り、D ラッチ回路 4-9 の D 入力は L レベルから H レベルにな

る。このHレベルのD入力はDラッチ回路4-9のクロック入力CKに入力されている検出パルスの立下りにより、Dラッチ回路4-9にラッチされ、それまでしレベルであったそのQ出力がHレベルになり、これを反転するインバータ4-21の出力は第6図cに示すようにしレベルになる。インバータ4-21の出力がしレベルになることにより、ANDゲート4-4が閉じられ、その出力には第6図aに示すように検出クロックは現われなくなり、カウンタ4-6のそれ以上のカウントは行われない。カウンタ4-6は8/10M信号が時点t₁においてHからしレベルに立上ることによりリセットされ、そのQ出力がしレベルになるため、このしレベルが次の検出クロックによってDラッチ回路4-9にラッチされ、これによりインバータ4-21の出力がHレベルになり、ANDゲート4-4が再び開され、ANDゲート4-4の出力に第6図aに示すように再び検出クロックが現われるようになる。

以下、上述したと同様の動作が行われ、インバ

ータ4-21の出力は、第6図cに示すように、8/10M信号がHレベルである期間が1T以外のときにしレベルとなり、インバータ4-22の出力は、第6図fに示すように、8/10M信号がしレベルである期間が1T以外のときしレベルとなる。このインバータ4-21及び4-22の出力はANDゲート4-23, 4-24及びANDゲート4-25, 4-26にゲート信号として入力される。

シフトレジスタ4-11はそのシリアルデータ入力S1に入力されている8/10M信号を第6図gに示すように検出クロック2周期分遅延してそのQ2出力に送出する。このシフトレジスタ4-11のQ2出力は、一方の入力に8/10M信号が入力されているANDゲート4-15及びNORゲート4-16の他方の入力に入力される。このことによってANDゲート4-15及びNORゲート4-16の出力には、第6図h及びiに示すような信号がそれぞれ現われ、それぞれカウンタ4-20及び4-19のリセット入力Rに入

力される。

カウンタ4-19及び4-20はそのリセット入力RがしからHレベルに立上ることによりリセットされ、そのHレベルの間カウントを行わず、リセット入力Rがしレベルの間だけそのクロック入力CKがHからしレベルに立下る毎に“1”をカウントする。そして、それらのリセット状態においてQ1及びQ2出力が共にしレベルになる。

カウンタ4-19及び4-20のクロック入力には、それぞれのQ2出力をインバータ4-29及び4-30で反転した信号でゲート制御されるANDゲート4-17及び4-18をそれぞれ介して復調クロックが入力されるようになっている。ANDゲート4-17及び4-18はカウンタ4-19及び4-20が復調クロックのHからしレベルへの立下りを2回カウントしてそれらのQ2出力がHレベルにならない限り開いていて、第6図j及びkにそれぞれ示すように復調クロックを通過させる。

今、カウンタ4-19についてみると、そのリ

セット入力Rがしレベルの間復調クロックのHからしレベルへの立下りをカウントし、カウント値が1のときはそのQ1出力が第6図kに示すようにHレベルとなる。そしてリセット入力RがしからHレベルに立上るとリセットされ、そのQ1出力が第6図lに示すようにHからしレベルに立下る。カウンタ4-19のリセット入力Rがしレベルである期間が長いときは、復調クロックのしからHへの立下りを2回カウントしそのQ2出力が第6図mに示すようにしからHレベルに立上る。カウンタ4-19のQ1及びQ2出力はNORゲート4-27に入力されているが、NORゲート4-27は両入力が共にしレベルのときその出力がHレベルとなり、それ以外のときはしレベルとなり、これがANDゲート4-24に入力されるようになっている。そしてカウンタ4-19のQ2出力がANDゲート4-23に入力されているので、ANDゲート4-23及び4-24の出力にはそれらの両入力がHレベルとなる間第6図n及びoに示すようにHレベルとなる。Dラッチ4

-14は、そのクロック入力CKに入力されている8/10M信号がHからLレベルに立下った時点でそのD1及びD2入力をラッチするが、8/10M信号と復調クロックの周波数が等しいときには、8/10M信号が立下る時点でANDゲート4-23及び4-24の出力がHレベルになっていることがなく、ラッチ回路4-14にはHレベルがラッチされることではなく、Q1及びQ2出力のいずれもLレベルに保たれる。

同様のことは、カウンタ4-20のQ1及びQ2出力をそれぞれ示す第6図p及びq、ANDゲート4-25及び4-26の出力をそれぞれ示す第6図r及びsからも明らかのようにDラッチ回路4-13のQ1及びQ2出力にも生じる。

従って、ORゲート4-31及び4-32の出力は第6図t_n及びt_Lに示すように共にLレベルを保ち、MMV4-33及び4-34がトリガされることなく、よって加算器4-35の出力からLPF6(第1図)へは何の信号も送られず、VCO8は現状に保たれる。

これに対し、第7図に示すように復調クロックの周波数が高くなった場合には、第5図中の各部の波形が第7図j~sに示すように変化し、ORゲート4-31の出力に第7図t_wで示すようなパルスが発生される。ORゲート4-31の出力に現われるパルス幅は一定でないので、これによりMMV4-33をトリガして一定の幅のパルスを発生し、これを加算器4-35の-入力に入力することにより、その出力に負パルスを出力する。加算器4-35の出力の負パルスはLPF6(第1図)で高い周波数成分が除去された後、エラー信号としてVCO8に入力される。このときのエラー信号は負の値を有するので、VCO8の発振周波数を低下させる。

第8図は復調クロックの周波数が低い場合の各部の波形を示し、該図から明らかのように、ORゲート4-32の出力に第8図t_cに示すようなパルスが発生され、これに基づいてVCO8(第1図)に正のエラー電圧信号が印加されて、VCO8の周波数を上昇させる。

(効果)

以上説明したように本発明によれば、位相比較器の他に、NRZ1データ列と復調クロックとの周波数を比較することのできる周波数比較器を有し、両比較器の出力により電圧制御発振器を制御するようにしているため、キャプチャレンジを広くすることができ、復調クロックを早期にNRZ1データ列に位相ロックすることができるようになっている。

4. 図面の簡単な説明

第1図は本発明の実施例を概略構成を示すブロック図。

第2図は8/10M信号の一例を示す波形図、第3図は第1図中の周波数比較器の原理を説明するためのタイミングチャート図。

第4図は最小タイムインターバルを検出する原理を説明するための説明図、

第5図は第1図中の周波数比較器の具体例を示す電気回路ブロック図、

第6図乃至第8図は第5図中の各部の波形を示

すタイミングチャート図である。

3…位相比較器、4…周波数比較器、7…加算器、8…電圧制御発振器、4-4, 4-5…ANDゲート、4-6, 4-7, 4-19, 4-20…カウンタ、4-9, 4-10, 4-13, 4-14…Dラッチ回路、4-11…シフトレジスタ。

特許出願人

バイオニア株式会社

同

株式会社 日立製作所

代理人

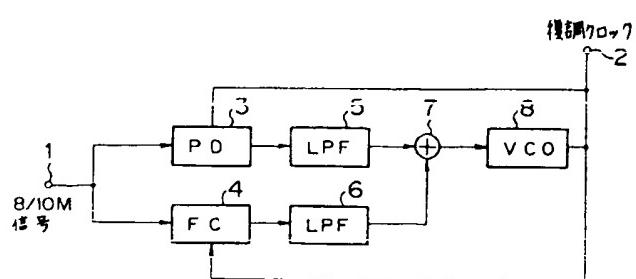
瀧野秀雄



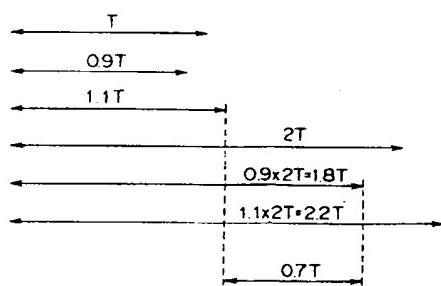
同

中内康雄

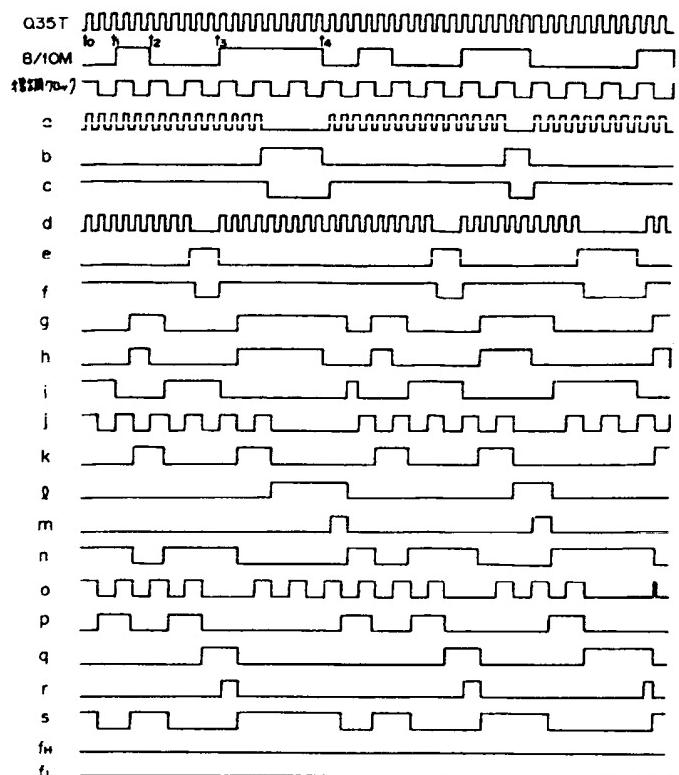




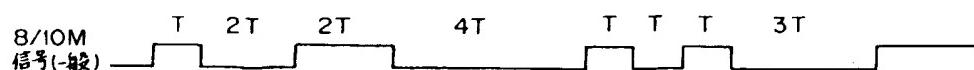
第1図



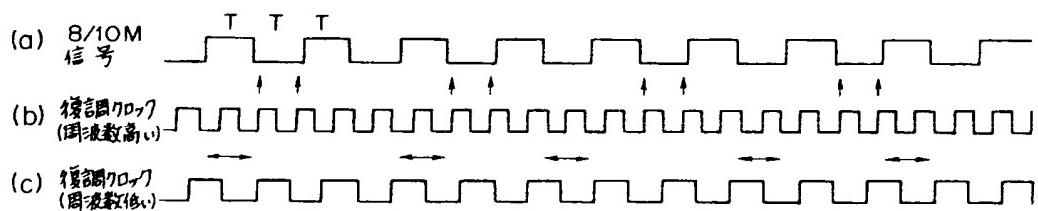
第4図



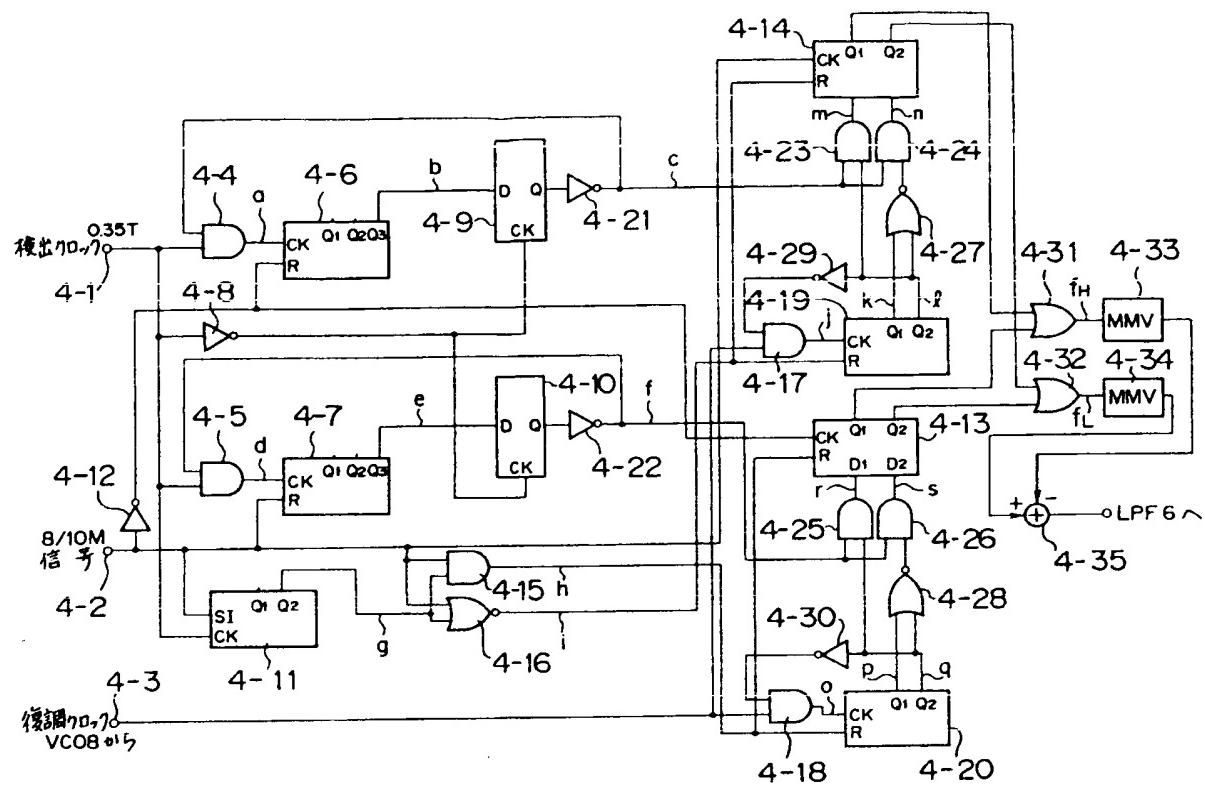
第6図



第2図



第3図



第5図

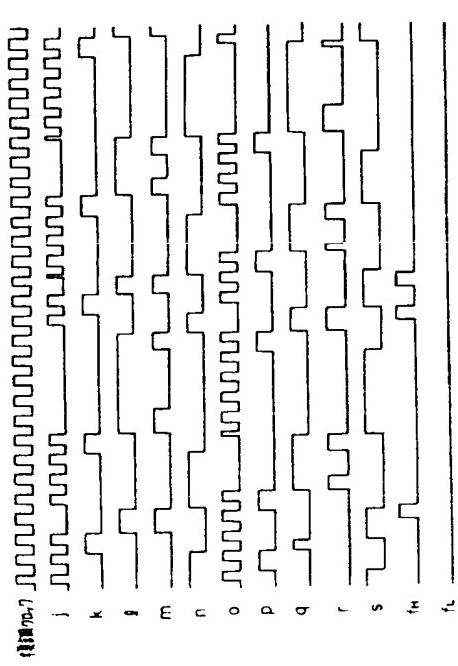


図7

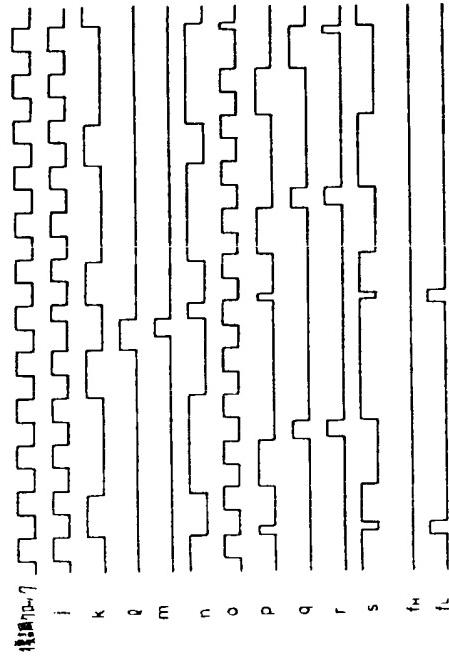


図8